

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-261288

(43)Date of publication of application : 29.09.1998

(51)Int.Cl.

G11C 11/407  
G06F 1/26  
H01L 27/10  
H03K 5/13  
H04L 7/00

(21)Application number : 08-242695

(71)Applicant : HITACHI LTD

(22)Date of filing : 26.08.1996

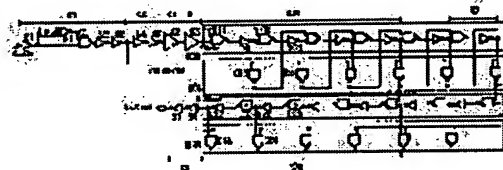
(72)Inventor : NODA HIROMASA  
AOKI MASAKAZU  
IDEI YOJI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance a synchronization accuracy while expanding a synchronizable clock frequency band by generating pulses whose duties of input pulse width are made small while providing a pulse generating circuit at the input part of a synchronous mirror delay circuit SMD.

**SOLUTION:** A pulse generating circuit constituted of a delay circuit Pw, an inverter N1 and a NAND gate G1 is provided in this device. The delay time in an input part from an buffer B1 to an inverter N3 is made to be the same d1 as that of a buffer circuit B2 and the delay time of inverter circuits N4, N5 is made to be the same d2 as that of a buffer circuit B3 and also these delay times are set in accordance with the delay time of edges of pulses to be transmitted from a forward delay array FDA to a backward delay array BDA via a mirror control circuit MCC and, moreover, the delay time of output circuit inverters N6, N7 is also made to be d2. At this time, the period from an external clock CLK<sub>in</sub> till an internal clock CLK<sub>out</sub> just becomes the double period of that of the CLK<sub>in</sub>.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**BEST AVAILABLE COPY**

일본공개특허공보 평 10-261288호(1998.09.29) 1부.

[첨부그림 1]

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261288

(43) 公開日: 平成10年(1998) 9月29日

(51) Int. Cl. <sup>6</sup>	識別記号	F I
G 1 1 C 11/407		G 1 1 C 11/34 3 5 4 C
G 0 6 F 1/28		H 0 1 L 27/10 3 1 1
H 0 1 L 27/10	3 1 1	H 0 3 K 5/19
H 0 8 K 5/19		H 0 4 L 7/00 Z
H 0 4 L 7/00		G 0 6 F 1/00 3 3 0 Z

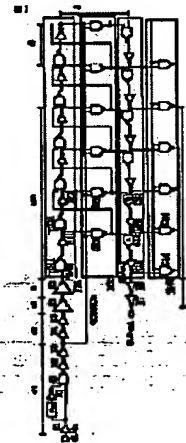
審査請求 未請求 請求項の数 6 F D (全 15 頁) 最終頁に続く

(21) 出願番号 特願平8-242895  
(22) 出願日 平成8年(1996) 8月26日

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田横町四丁目 6 番地  
(72) 発明者 野田 裕正  
東京都小平市上水本町五丁目20番 1 号 株式会社日立製作所半導体事業部内  
(72) 発明者 青木 正和  
東京都小平市上水本町五丁目20番 1 号 株式会社日立製作所半導体事業部内  
(72) 発明者 出井 剛治  
東京都小平市上水本町五丁目20番 1 号 株式会社日立製作所半導体事業部内  
(74) 代理人 弁護士 佐々木 光政

(54) 【発明の名称】 半導体集積回路装置

【課題】 同期可能なクロック周波数帯域を拡大させ、同期精度を向上させたシンクロナス・ミラー・ディレイ回路を提供する。(修正有)  
【解決手段】 入力されたクロックを遅延させる入力回路と、それを通したパルス出力信号を順次伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイ F D A と、入力回路を通したパルスと各論理ゲート回路の出力信号とを受け、その出力をゲート制御信号とするミラー制御回路 M C C と、それから対応する出力信号が供給され、ミラー制御回路を通したパルスエッジをフォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイ B D A 及びドライバとを含む同期パルス発生回路において、入力回路にデューティを小さくしたパルス発生回路 P w、N i、G i を設ける。



【特許請求の範囲】

【請求項1】 外部端子から入力されたクロックを遅延させ、外部クロックに対してパルス幅デューティを小さくしたパルス幅を持つパルスを形成するパルス発生回路を含む入力回路と、

かかる入力回路を通してパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通してパルスと各論理ゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理ゲートのゲート制御信号として伝えるミラー制御回路と、

上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通してパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイとを含む同期パルス発生回路を備えてなることを特徴とする半導体集積回路装置。

【請求項2】 上記入力回路には、第1の遅延時間の信号遅延を行う第1の遅延回路と第2の遅延回路、第2の遅延時間の信号遅延を行う第3の遅延回路を含み、上記バックワード・ディレイ・アレイの出力信号は、上記第2の遅延時間を持つクロックドライバを通して出力されるものであることを特徴とする請求項1の半導体集積回路装置。

【請求項3】 外部端子から入力されたクロックを遅延させ、外部クロックに対してパルス幅デューティを小さくしたパルス幅を持つパルスを形成するパルス発生回路を含む第1の入力回路と、

上記第1の入力回路の遅延時間と同じ遅延時間を持つようにされた第2の入力回路と、

上記第2の入力回路を通してパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイと、

上記第1の入力回路を通してパルスと各論理ゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理ゲートのゲート制御信号として伝えるミラー制御回路と、

上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通してパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイとを含む同期パルス発生回路を備えてなることを特徴とする半導体集積回路装置。

【請求項4】 上記第1及び第2の入力回路には、それぞれ第1の遅延時間の信号遅延を行う第1の遅延回路と第2の遅延回路、第2の遅延時間の信号遅延を行う第3の遅延回路を含み、上記バックワード・ディレイ・アレイの出力信号は、上記第2の遅延時間を持つクロック

ドライバを通して出力されるものであることを特徴とする請求項3の半導体集積回路装置。

【請求項5】 上記入力回路には、フォワード・ディレイ・アレイからミラー制御回路を通してバックワード・ディレイ・アレイにパルスエッジが伝えられる遅延時間に相当する遅延時間を持つ遅延回路が挿入されるものであることを特徴とする請求項1又は請求項3の半導体集積回路装置。

【請求項6】 上記半導体集積回路装置は、シンクロナスタイナミック型RAMを構成するものであり、上記同期クロック発生回路は、そのクロック入力回路に用いられるものであることを特徴とする請求項1又は請求項3の半導体集積回路装置。

【0001】

【発明の所属を説明する】この発明は、半導体集積回路装置に関し、クロック信号により同期して動作する半導体集積回路装置、例えばシンクロナスタイナミック型RAM(ランダム・アクセス・メモリ)のクロック入力回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】シンクロナス・ミラー・ディレイ回路(SMD)は、外部クロックと内部クロックとの同期をとるための回路である。このようなシンクロナス・ミラー・ディレイ回路については、アイ・エス・エス・シー・シー・ダイジェスト オブ テクニカル ペーパーズ (ISSUE DIGEST OF TECHNICAL PAPERS) 誌 1996年2月10日、第 974頁～第 975頁がある。

【0003】

【発明が解決しようとする課題】図11には、本発明者等において先に検討されたシンクロナス・ミラー・ディレイ回路の回路図が示され、図12にはその動作を説明するための波形図が示されている。この回路において、内部クロックCLK<sub>int</sub>の立ち上がりは外部クロックCLK<sub>in</sub>の立ち上がりより同期する場合を考慮する。外部クロックCLK<sub>in</sub>は、遅延時間がそれぞれd<sub>1</sub>、d<sub>2</sub>及びd<sub>3</sub>の3つの遅延回路を通してフォワード・ディレイ・アレイ回路(以下、FDAという)に入力される。このFDA中を伝播しているnサイクル目のクロックの立ち上がりエッジは、コモン(以下、COMMONという)として伝播されるn+1サイクル目のクロックの立ち上がりにより、上記FDA中での伝播が止められ、同時に伝播が止められた位置とちょうど対称の位置にあるバックワード・ディレイ・アレイ(以下、BDAという)中のノードに立ち上がりエッジが転送される。

【0004】上記立ち上がりエッジは、FDA中の伝播時間t<sub>DA</sub>とちょうど同じ時間をかけてBDA中を伝播し、遅延時間d<sub>2</sub>の遅延回路(内部クロックドライバに相当する)を通して、内部クロックCLK<sub>out</sub>として出力される。上記FDA中のnサイクル目の立ち上がりエ

ツジが $n+1$ サイクル目のCOMMONの立ち上がりエッジによって伝播が止められることから、次式(1)と

$$d2 + d1 + tDA = tCK$$

【0005】また、外部クロックCLKinから内部クロックCLKoutまでの立ち上がりエッジの伝播時間は、上記のような伝播経路に沿って計算すると次式(2)の関係が成立する。つまり、外部クロックCLKinから内

【0006】上記同期動作が実現するにはいくつかの条件が必要である。まず、クロックサイクル中に対して $d1 + d2$ が小さすぎると、 $n$ サイクル目のクロックによりCOMMONがハイレベル(H)の期間中に、FDAの入力信号FDAinが $n$ サイクル目のクロックによってハイレベル(H)になり、ミラー制御回路(以下、MMCという)のナンド(NAND)ゲートによって、FDA内におけるクロックの立ち上がりエッジの伝播が止められてしまう。この場合、上記の等式(1)は成立しなくなる。

【0007】したがって、 $n$ サイクル目のクロックによ

$$tCK < 2(d1 + d2 + tD)$$

【0008】さらに、 $n+1$ サイクル目のクロックによりCOMMON(COMMON)がハイレベル(H)になるまで、 $n$ サイクル目のクロックの立ち上がりエッジは、FDA中になければならぬ。つまり、上記のように $n+1$ サイクル目のクロックによりCOMMONがハイレベル(H)になるまで、 $n$ サイクル目のクロックがFDA

$$tCK < n(tD + d1 + d2)$$

【0009】逆に、クロックサイクルに対して $d1 + d2$ が大きすぎると、 $tDA$ が短くなり、 $n$ サイクル目のクロックによりFDAinがまだハイレベル(H)になっているときに、FDAからBDAに転送された $n$ サイクル目のクロックの立ち上がりエッジがBDA出力の2つの基本遅延単位時のナンドゲート回路bの入力まで戻ってきてしまう。このとき、COMMONは $n+1$ サイクル目のクロックによりまだハイレベル(H)なので、上記MMCによりナンドゲート回路bは非活性状態にあり、FDAからBDAに転送された $n$ サイクル目のクロックの立ち上がりエッジの伝播を止めてしまう。この場合にも、上記等式(1)は成立しなくなるので、FDA

$$tCK = 4 / 3 (d1 + d2 + tD)$$

【0010】上記3つの条件式(3)、(4)及び(5)より、0.3 $\mu$ mプロセス、電源電圧3.3Vを例に、同期可能なクロック周波数の遅延時間 $d2$ 依存性を計算した結果が図14に示されている。ここで、FDAとBDAの繰り返し数を50と仮定した。図14において、網かけをした領域が同期可能なクロックの周波数帯域である。実際の回路においては、 $d2$ は、固定であるために、実際の同期可能なクロック周波数帯域は、網かけした領域の縦軸方向の切り口が大きいほど広いこ

う関係が成立する。ここで、 $tCK$ は、クロックCLKinのサイクル時間(1周期)である。

$$\dots\dots (1)$$

部クロックCLKoutまでがちょうど $2tCK$ に等しくなり、上記の外部クロックCLKinと内部クロックCLKoutとが同期することとなる。

$$d1 + d2 + d1 + tDA + tDA + d2 = 2(d1 + d2 + tD) = 2tCK \dots\dots (2)$$

りCOMMONがロウレベル(L)になってから、上記FDAinが $n$ サイクル目のクロックによってハイレベル(H)になる必要がある。この条件を図12の動作波形図上に示すと、網かけで示した期間 $t1$ が正でなければならないという条件になる。このことを式(3)で表す。ただし、上記外部クロックCLKinがパルス幅デューティ50%であるとする。また、 $tD$ は、上記FDA及びBDAを構成する基本遅延単位(2入力のナンドゲート回路が1個とインバータ回路が1個からなる信号経路)の遅延時間である。

$$\dots\dots (3)$$

を繰り返してしまってはならない。この条件を次式(4)で表す。ここで、 $n$ は上記基本遅延単位の繰り返し数である。上記式(3)と式(4)からなる2つの条件により同期可能なクロック周波数の下限が決められる。

$$\dots\dots (4)$$

inがロウレベル(L)になって、ナンドゲート回路bが活性化されてから、FDAからBDAに転送された $n$ サイクル目のクロックの立ち上がりエッジがBDA出力の2つの基本遅延単位時に相当するナンドゲート回路bに到達するように、 $tDA$ をある程度長くしなければならない。この条件を図12の動作波形上に示すと、網かけで示した期間 $t2$ が正でなければならないという条件になる。このことを式で表すと次式(5)のようになる。ただし、クロックCLKinのパルス幅デューティは、50%であるとする。この条件により、同期可能なクロック周波数の上限が決められる。

$$\dots\dots (5)$$

となる。図14により、同期可能なクロック周波数帯域は、極めて狭い範囲に限定されていることが判る。同期可能なクロックサイクルの最高値は、最低値の1.5倍以下であり、素子のプロセスバラッキや電源電圧変動を含めた、クロック周波数をこの帯域に制限するのは難しい。

【0011】また、上記式(2)の計算には、無視されている遅延成分があることが判明した。それは、FDAからBDAへのクロックの立ち上がりエッジが転送され

るのに要する遅延時間である。すなわち、図13に示すように、COMMONがロウレベル(L)で、クロックの立ち上がりエッジがFDA中を伝播し、同図の右端の基本遅延単位の入力の直前まで到達しているとする。この場合の主なノードの信号レベルがH又はLとして図中に示される。

【0012】上記の状態COMMONがハイレベル(H)になると、まずMCCのナンドゲート回路(a)からBOAにロウレベル(L)が出力された後に、このナンドゲート回路(a)により2段目のナンドゲート回路(b)が出力したロウレベル(L)がFDAのナンドゲート回路(c)及びインバータ回路(d)の出力を反転させ、ナンドゲート回路(a)の出力をロウレベル(L)からハイレベルに反転させる。この最後のナンドゲート回路(e)の出力のL→H反転が、FDAからBOAに伝送されたクロックの立ち上がりエッジである。したがって、伝送はナンドゲート回路(b)→(c)→インバータ回路(d)→ナンドゲート回路(e)の4つのゲートを介して行われ、FDAの切込路(FDAを構成する基本遅延単位(c, d)の2つのゲート)の遅延時間よりも大きな遅延時間が発生して、同期の誤差として現れる。

【0013】この発明の目的は、同期可能なクロック周波数帯域を拡大させたシンクロナス・ミラー・ディレイ回路を備えた半導体集積回路装置を提供することにある。この発明の他の目的は、同期可能なクロック周波数帯域を拡大させつつ、その同期精度を向上させたシンクロナス・ミラー・ディレイ回路を備えた半導体集積回路装置を提供することにある。この発明の利便ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】本明細書において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、外番端子から入力されたクロックを遅延させて取り込む入力回路と、かかる入力回路を通してパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通してパルスと各論理ゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理ゲートのゲート制御信号として伝えるミラー制御回路と、上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通してパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイ及びそれらからなるドライバとを含む同期パルス発生回路において、上記入力回路に入力パルスのパルス幅デューティを小さくさせたパルス発生させるパルス発生回路を設ける。

【0015】

【発明の実施の形態】図1には、この発明に係るシンクロナス・ミラー・ディレイ回路(同期パルス発生回路)の一実施例の回路図が示されている。同図の各回路は、特に制御されないが、シンクロナSDAMを構成する他の回路とともに、公知の半導体集積回路の製造技術により、単結晶シリコンのような1箇の半導体基板上において形成される。

【0016】この実施例のシンクロナス・ミラー・ディレイ回路は、前記同様に外部クロックを取り込み入力部と、FDA、MCC及びBOAと負荷回路、内部クロックのドライバとしての出力部から構成される。この実施例では、上記入力部において外部クロックCLKinの入力バッファにパルス信号発生回路を設け、クロックCLKinの立ち上がりエッジあるいは立ち下がりエッジからかかるクロックCLKinの周波数に依存しない一定のパルス幅を持ったパルス信号を発生させる。

【0017】つまり、外番端子から入力された外部クロックCLKinは、入力バッファB1を介して、パルス発生回路に供給される。パルス発生回路は、上記入力バッファB1の出力信号を遅延させてパルス幅を設定する遅延回路PWとインバータ回路N1、上記入力バッファB1と上記インバータ回路N1の遅延信号とを受けるナンドゲート回路G1から構成される。このナンドゲート回路G1の出力信号は、インバータ回路N2とN3を通してCOMMONに伝えられる。

【0018】上記インバータ回路N2とN3を通してパルス発生回路の出力信号は、他方において遅延回路を構成するインバータ回路N4、N5及びバッファ回路B2とB3とを通してFDAに入力される。FDAは、ナンドゲート回路とインバータ回路からなる基本遅延単位から構成される。FDAの切込回路と2段目の回路のナンドゲート回路G11とG12は、一方の入力には論理1に対応したハイレベルが定常的に供給されている。切込回路のインバータ回路N11から出力信号が形成されて、一方において2段目のナンドゲート回路G12の他方の入力に供給される。上記インバータ回路N11から出力信号は、他方においてMCCのナンドゲート回路G12の一方の入力に供給される。このナンドゲート回路G12の方の入力は、上記COMMONに接続される。

【0019】上記FDAの第3段目の基本遅延単位を構成するナンドゲート回路の一方の入力には、2つ斜である切込回路に対応したMCCのナンドゲート回路G12の出力信号が供給される。同様に、第4段目以降の基本遅延単位を構成するナンドゲート回路の一方の入力には、それぞれ2つ斜のFDAの基本遅延単位の出力信号に対応して設けられたMCCの上記同様なナンドゲート回路の出力信号が順次に供給される。特に制御されない

が、上記のような基本遅延単位が50個並列形成に接続されてFDAが構成される。上記1つの基本遅延単位における信号伝播遅延時間は、それぞれが1Dのように同じく形成される。

【0020】MCCでは、それぞれFDAにおける各基本遅延単位の出力信号とCOMMONとを受けるナンドゲート回路から構成される。MCCを構成する各ナンドゲート回路G12、G22等は、BDAを構成するナンドゲート回路G13、G23等の方の入力に供給される。上記ナンドゲート回路G13、G23は、上記FDAと逆方向に信号伝播させる。すなわち、ナンドゲート回路G23の出力信号は、インバータ回路N22を介してナンドゲート回路G13の他方の入力に伝えられる。このBDAの基本遅延単位を、上記FDAの基本遅延単位と等価にするために、ダミー回路として直列が設けられる。つまり、上記インバータ回路N22の出力信号は、MCCに対応したダミー回路としてナンドゲート回路G24に供給される。このナンドゲート回路G24の他方の入力は、他の同様なナンドゲート回路G14等の同様な入力と共に共通に接続され、両方では省略されているが、図式的にハイレベル又はロウレベルが供給される。

【0021】BDAは、上記のように信号伝播方向が、上記FDAとは逆方向にされ、実質的に上記FDAと同じ構成にされる。それ故、FDAを通して伝えられるクロックのエッジは、BDAにより逆方向に同じ信号遅延時間を以て伝えられる。上記BDAの出力信号BDAoutは、 $d2 + d1 + 5 + tDA = tCK$

【0024】また、外部クロックCLKinから内部クロックCLKoutまでの立ち上がりエッジの伝播時間は、上記のような伝播経路に沿って計算すると次式(7)の関係が成立する。つまり、外部クロックCLKinから内

tは、内部クロックドライバとしてのインバータ回路N6とN7を通して出力され、内部クロックCLKoutが形成される。

【0022】この実施例では、上記入力部での遅延時間d1は、上記入力バッファB1のクロック発生回路とインバータ回路N2、N3と、バッファ回路B2でのそれぞれの信号伝播遅延時間とされる。遅延時間d2は、上記インバータ回路N4とN5での信号伝播遅延時間とされる。そして、バッファ回路B3は、上記FDAからMCCを通してBDAに伝えられるパルスエッジの遅延時間に対応した遅延時間に設定される。これにより、SMDの同期精度の向上を図ることができる。上記内部クロックドライバとしてのインバータ回路N6、N7での信号伝播遅延時間は、上記インバータ回路N4、N5に対応した遅延時間d2に設定される。

【0023】図2には、この発明に係るシンクロナス・ミラー・ディレイ回路を説明するための動作波形図が示されている。この実施例においても、前記両方にクロックの立ち上がりエッジは、FDA中の伝播時間tDAとちょうど同じ時間をかけてBDA中を伝播し、遅延時間d2の遅延回路(内部クロックドライバに相当する)を通して、内部クロックCLKoutとして出力される。上記FDA中のnサイクル目の立ち上がりエッジがn+1サイクル目のCOMMONの立ち上がりエッジによって伝播が止められることから、次式(6)という関係が成立する。

$$\dots\dots\dots (6)$$

内部クロックCLKoutまでがちょうど2tCKに等しくなり、上記の外部クロックCLKinと内部クロックCLKoutとが同期することとなる。

$$d1 + d2 + d1 + 5 + tDA + 5 + tDA + d2 = 2(d1 + d2 + 5 + tDA)$$

$$= 2tCK \quad \dots\dots\dots (7)$$

で形成されたパルスのパルス幅である。この式の中には、tCKは含まれず、外部クロック周波数に対する条件でなくっていることが判る。

$$\dots\dots\dots (8)$$

式(8)で示される。

$$\dots\dots\dots (9)$$

の条件は、前記の場合と変わらないが、式の形が若干異なる。式(10)のようになる。

$$\dots\dots\dots (10)$$

【0028】図4には、この発明に係るシンクロナス・ミラー・ディレイ回路の他の一実施例の回路図が示されている。この実施例では、パルス発生回路で形成されたパルスは、COMMONに伝えられる。つまり、MCC

【0025】同期条件についてみると、図12と比較して $\tau 1$ と $\tau 2$ が長くなっており、上項が緩やかになっていることが判る。前記式(3)に相当する条件は、次式(8)で与えられる。ここで、Pwは、パルス発生回路

$$Pw < d1 + d2 + 5 + tDA$$

【0026】本実施例における長周期側の条件は、パルスがFDAを通り抜けてしまわないための条件式は、次式(9)で示される。

$$tCK < n \cdot tD + d1 + d2 + 5$$

ここで、前記式(3)に相当する条件による制限が無くなった結果、基本遅延単位の繰り返し数nを増やすことにより、長周期を伸ばすことが可能となる。長周期側

$$tCK > d1 + d2 + tD + (Pw + 5) / 2$$

【0027】上記のような2種類の条件により、前記と同じ例について、同期可能なクロック周波数のd2依存性を計算した結果が図3である。前記図14と比較して周波数帯域が広がっていることが判る。

例に対してのみ伝えられるようにするものである。ただし、FDAに入力される外部クロックCLKinとの遅延時間を等しくするために、入力部において、パルス発生回路に対応したナンドゲート回路やインバータ回路が設けられて、同じ遅延時間d1が設定される。

【0029】この実施例の同期条件は、最遅期例について

$$t_{CK} > 2(d1 + d2 + d - Pw)$$

【0030】上記外部クロックCLKinのパルス幅デューティは、前記例に50%であると仮定している。r3<0の場合、FDAinがまだnサイクル目のハイレベル(H)であるときに、COMMONがn+1サイクル目のロウレベル(L)になるため、上記ハイレベル(H)がFDA中を伝播し始める。そして、FDAinは一旦ロウレベル(L)になり、次のクロックサイクル(n+1)で再びハイレベル(H)となるが、この間COMMONはn+1サイクル目のロウレベル(L)のままであるから、FDA中に2つの立ち上がりエッジが伝播することになってしまい、外部クロックCLKinと内

$$t_{CK} > 2(d1 + d2 + d)$$

【0032】図7には、この発明が適用されるダイナミック型RAM(シクロナスDRAM)の一実施例の要部ブロック図が示されている。図中には、シクロナスDRAMのうち、入出力バッファと、それに関連する内部回路が代表として例示的に示されている。

【0033】クロック入力バッファ(Clock Input Buffer)1は、外部クロックCLKの他に、チップセレクト信号/CS、ロウアドレスストローブ信号/RA S、カラムアドレスストローブ信号/CAS及びライトイネーブル信号/WE等の制御信号を受けて、内部動作に必要な各種制御信号を形成する。上記外部クロックCLKは、前記図1又は図4のようなシクロナス・ミラー・ディレイ回路により生成された同期クロック発生回路に入力され、ここで上記外部クロックCLKに同期した内部クロックが形成される。

【0034】つまり、外部クロックCLKは、上記のような同期クロック発生回路に入力され、ここで外部クロックと同期した内部クロックが形成される。この構成では、外部クロックCLKをそのまま内部クロックとして用いるに比べて、入力バッファでの信号遅延を実質的に無くすることができ、時間マージンを大きくできるのでその分外部クロックCLKの高周波数化にも十分対応できるようにされる。

【0035】アドレス入力バッファ(Address Input Buffer)2は、後述するように時系列的に入力されるアドレス信号を取り込む。このアドレス入力バッファ2からは、ロウ系アドレス信号やカラム系アドレス信号の他に、モード設定に用いられるコード情報Codeも取り込まれる。このコード情報Codeは、モードデコーダ(Mode Decoder)3に含まれるモードレジスタにセットされ、モードデコーダ3によって解読され、それに対応した動作を実現するための制御信号が形成される。

ては前記実施例と同じであり、式(9)で考えられる。最遅期例については、上述の実施例の条件に別の条件がもう1つ加わる。これは、COMMONのパルス幅デューティがFDAinのパルス幅デューティより小さいため必要な条件であり、図5に示した動作波形図において、r3>0、つまり式(11)として考えられる。

$$\dots\dots\dots (11)$$

外部クロックCLKoutが同期しなくなるので、上記条件式(11)が必要となる。

【0031】図6には、前記と同じ例で同期可能なクロック周波数のd2依存性を計算した結果が示されている。この実施例でも、前記図14と比較して、十分に広い周波数帯域を確保することが判る。そして、この実施例では、式(12)の条件が成立する場合、パルス幅デューティが50%の外部クロックCLKinに対して、同じくパルス幅デューティが50%の内部クロックCLKoutを形成することができるという特長もある。

$$\dots\dots\dots (12)$$

【0036】データ入力バッファ(Data Input Buffer)3は、入出力端子I/Oから供給される書き込み信号を取り込み、図示しないメモリアレイ(Memory array)に書き込みデータDataとして伝えられる。データ出力バッファ(Data Output Buffer)4は、メモリアレイ(Memory array)から読み出された読み出しデータDataを外部端子I/Oから送出させる。

【0037】ラウ系コントロール回路(RAS系Control)6は、モードデコーダ3の出力により、ロウ系アドレスカウンタ(Row Address Counter)7と、ロウ系アドレスプレデコーダ(Row Address pre-Decoder)10を制御して、ロウ系のアドレス選択動作を制御する。上記ロウ系アドレスカウンタ7には、ロウアドレス信号(Row Address)が初期値として入力される。ロウ系アドレスプレデコーダ10は、アドレス信号を解読してバンク0と1(Bank-0とBank-1)にプレデコードされたアドレス信号(Row Address')を送出する。

【0038】バンクコントロール回路(Bank Control)9は、モードデコーダ3からの出力信号により、カラム系アドレスカウンタ(Column Address Counter)8と、カラム系アドレスプレデコーダ(Column Address pre-Decoder)12を制御して、ロウ系のアドレス選択動作を制御する。カラム系アドレスカウンタ8には、カラムアドレス信号(Column Address)が初期値として入力される。このカラム系アドレスカウンタ8は、バーストカウンタ(Burst Counter)とも呼ばれる。カラム系アドレスプレデコーダ12は、アドレス信号を解読してメモリアレイ(Memory array)にプレデコードされたアドレス信号(Column Address')を送出する。

【0039】로우어드레스블레코더10には、冗長回路(Redundancy)11が設けられ、不良のワード線が冗長ワード線に置き換えられる。同様に、カラム系アドレスブレコ더12には、冗長回路(Redundancy)13が設けられ、不良のデータ線が冗長データ線に置き換えられる。

【0040】図8には、上記シンクロナスDRAM(以下、単にSDRAMという)の一実施例の全体ブロック図が示されている。同図に示されたSDRAMは、特に制限されないが、公知の半導体集積回路の製造技術によって単結晶シリコンのような1つの半導体基板上に形成される。同図においては、シンクロナスDRAMの全体回路の理解を容易にするため、図7と同じ回路ブロックであっても全体的に統一させるために別の回路記号により表している。

【0041】この実施例のSDRAMは、メモリバンクA(BANKA)を構成するメモリアレイ200Aと、メモリバンクB(BANKB)を構成するメモリアレイ200Bを備える。それぞれのメモリアレイ200Aと200Bは、マトリクス配置されたダイナミック型メモリセルを備え、図に示せば同一列に配置されたメモリセルの選択端子は列毎のワード線(図示せず)に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に共通データ線(図示せず)に結合される。

【0042】上記メモリアレイ200Aの図示しないワード線はロウデコーダ201Aによるロウアドレス信号のデコード結果に従って1本が選択レベルに駆動される。メモリアレイ200Aの図示しない共通データ線はセンスアンプ及びカラム選択回路202Aに結合される。センスアンプ及びカラム選択回路202Aにおけるセンスアンプは、メモリセルからのデータ検出しによって天々の共通データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、共通データ線を各別に選択して共通共通データ線204に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ203Aによるカラムアドレス信号のデコード結果に従って選択動作される。

【0043】メモリアレイ200B側にも同様にロウデコーダ201B、センスアンプ及びカラム選択回路202B、カラムデコーダ203Bが設けられる。上記共通共通データ線204は入力バッファ210の出力端子及び出力バッファ211の入力端子に接続される。入力バッファ210の入力端子及び出力バッファ211の出力端子は16ビットのデータ入出力端子I/O0~15/O15に接続される。

【0044】アドレス入力端子A0~A9から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ205とロウアドレスバッファ206にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファが保持する。ロウア

ドレスバッファ206はリフレッシュ動作モードにおいてはリフレッシュカウンタ208から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ205の出力はカラムアドレスカウンタ207のプリセットデータとして供給され、カラムアドレスカウンタ207は前述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ203A、203Bに向けて出力する。

【0045】コントロール212は、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、カラムアドレスストローブ信号/CAS(記号/はこれが付された信号がロウイネーブルの信号であることを意味する)、ロウアドレスストローブ信号/RAS、及びライトイネーブル信号/WEなどの外部制御信号と、アドレス入力端子A0~A9からの制御データとが供給され、それらの信号のレベルの変化やタイミングなどに基づいてSDRAMの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントロールロジック(図示せず)とモードレジスタ30を備える。

【0046】クロック信号CLKは、前記のように同期クロック発生回路に入力され、ここで形成された内部クロックとの同期がとられる。この内部クロックは、SDRAMのマスタクロックとされ、その他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意味とされる。チップセレクト信号/CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号/CSがハイレベルのとき(チップ非選択状態)やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。/RAS、/CAS、/WEの各信号は通常のDRAMにおける対応信号とは機能が相違され、後述するコマンドサイクルを定義するときには有意味の信号とされる。

【0047】クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、図示しないがリードモードにおいて、出力バッファ211に対するアウトプットイネーブルの制御を行う外部制御信号もコントロール212に供給され、その信号が例えばハイレベルのときには出力バッファ211は高出力インピーダンス状態にされる。

【0048】上記ロウアドレス信号は、クロック信号CLK(内部クロック信号)の立ち上がりエッジに同期する前述のロウアドレスストローブ、バンクアクティブコ



만드 사이클におけるA0~A8のレベルによって定  
義される。

【0049】A9からの入力は、上記ロウアドレスス  
トロープ・バンクアクティブコマンドサイクルにおいてバ  
ンク選択信号とみなされる。即ち、A9の入力がロウレ  
ベルの時はメモリバンクBANKAが選択され、ハイレ  
ベルの時はメモリバンクBANKBが選択される。メモ  
リバンクの選択制御は、特に制限されないが、選択メモ  
リバンク側のロウデコードのみの活性化、非選択メモ  
リバンク側のカラムスイッチ回路の全非選択、選択メモ  
リバンク側のみの入力バッファ210及び出力バッファ2  
11への接続などの処理によって行うことができる。

【0050】後述のプリチャージコマンドサイクルにお  
けるA8の入力は相補データ線などに対するプリチャ  
ージ動作の全経路を指示し、そのハイレベルはプリチャ  
ージの対象が双方のメモリバンクであることを指示し、その  
ロウレベルは、A9で指示されている一方のメモリバン  
クがプリチャージの対象であることを指示する。

【0051】上記カラムアドレス信号は、クロック信号  
CLK（内部クロック）の立ち上がりエッジに同期する  
リード又はライトコマンド（後述のカラムアドレス・リ  
ードコマンド、カラムアドレス・ライトコマンド）サイ  
クルにおけるA0~A7のレベルによって定義される。  
そして、この様にして定義されたカラムアドレスはバ  
ーストアドレスのスタートアドレスとされる。

【0052】次に、コマンドによって指示されるSDR  
AMの主な動作モードを説明する。

（1）モードレジスタセットコマンド（Mo）  
上記モードレジスタ30をセットするためのコマンドで  
あり、/CS、/RAS、/CAS、/WE=ロウレ  
ベルによって当該コマンド指定され、セットすべきデー  
タ（レジスタセットデータ）はA0~A9を介して考えら  
れる。レジスタセットデータは、特に制限されないが、  
バーストレンジ、CASレイテンシ、ライトモード  
などとされる。特に制限されないが、設定可能なバ  
ーストレンジは、1、2、4、8、フルページとされ、設  
定可能なCASレイテンシは1、2、3とされ、設定  
可能なライトモードは、バーストライトとシングルラ  
イトとされる。

【0053】上記CASレイテンシは、後述のカラム  
アドレス・リードコマンドによって指示されるリード動  
作において/CASの立ち上がりから出力バッファ21  
1の出力動作まで内部クロック信号の何サイクル分を  
費やすかを指示するものである。読出しデータが確定す  
るまでにはデータ読出しのための内部動作時間が必要と  
され、それを内部クロック信号の使用周波数に応じて設  
定するためのものである。換言すれば、周波数の高い内  
部クロック信号を用いる場合にはCASレイテンシを  
相対的に大きな値に設定し、周波数の低い内部クロ  
ック信号を用いる場合にはCASレイテンシを相対的に小  
さな値に設定する。

【0054】（2）ロウアドレスストロープ・バンクア  
クティブコマンド（Ac）

これは、ロウアドレスストロープの指示とA9によるメ  
モリバンクの選択を有効にするコマンドであり、/C  
S、/RAS=ロウレベル、/CAS、/WE=ハイレ  
ベルによって指示され、このときA0~A8に供給され  
るアドレスがロウアドレス信号として、A9に供給され  
る信号がメモリバンクの選択信号として取り込まれる。  
取り込み動作は上述のように内部クロック信号の立ち上  
がりエッジに同期して行われる。例えば、当該コマ  
ンドが指定されると、それによって指定されるメモリバ  
ンクにおけるワード線が選択され、当該ワード線に接続され  
たメモセルがそれぞれ対応する相補データ線に接続さ  
れる。

【0055】（3）カラムアドレス・リードコマンド  
（Re）

このコマンドは、バーストリード動作を開始するため  
に必要なコマンドであると共に、カラムアドレススト  
ロープの指示を考慮するコマンドであり、/CS、/CAS=  
ロウレベル、/RAS、/WE=ハイレベルによって指  
示され、このときA0~A7に供給されるカラムアドレ  
スがカラムアドレス信号として取り込まれる。これによ  
って取り込まれたカラムアドレス信号はバーストス  
タートアドレスとしてカラムアドレスカウンタ207に供給  
される。これによって指示されたバーストリード動作に  
おいては、その前にロウアドレスストロープ・バンクア  
クティブコマンドサイクルでメモリバンクとそれにおけ  
るワード線の選択が行われており、当該選択ワード線の  
メモセルは、内部クロック信号に同期してカラムアド  
レスカウンタ207から出力されるアドレス信号に従っ  
て順次選択されて連続的に読出される。連続的に読出さ  
れるデータ数は上記バーストレンジによって指定され  
た回数とされる。また、出力バッファ211からのデー  
タ読出し開始は上記CASレイテンシで規定される内  
部クロック信号のサイクル数を待って行われる。

【0056】（4）カラムアドレス・ライトコマンド  
（Wr）

ライト動作の経路としてモードレジスタ30にバース  
トライトが設定されているときは当該バーストライト動  
作を開始するために必要なコマンドとされ、ライト動作  
の経路としてモードレジスタ30にシングルライトが設定  
されているときは当該シングルライト動作を開始するた  
めに必要なコマンドとされる。更に当該コマンドは、シ  
ングルライト及びバーストライトにおけるカラムアドレ  
スストロープの指示を考慮する。当該コマンドは、/C  
S、/CAS、/WE=ロウレベル、/RAS=ハイレ  
ベルによって指示され、このときA0~A7に供給され  
るアドレスがカラムアドレス信号として取り込まれる。  
これによって取り込まれたカラムアドレス信号はバース

トライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ207に供給される。これによって指示されたバーストライト動作の事項もバーストリード動作と同様に行われる。但し、ライト動作にはCASレイテンシはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【0057】(5) 프리차ージコマンド(P<sub>r</sub>)  
これは、A8, A9によって選択されたメモリバンクに対する프리차ージ動作の開始コマンドとされ、/CS, /RAS, /WE=로우레벨, /CAS=하イレ벨によって指示される。

【0058】(6) 오토리프레시コマンド  
このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、/CS, /RAS, /CAS=로우레벨, /WE, CKE=하イレ벨によって指示される。

【0059】(7) 바스트ストップ·인·풀베이지コマンド  
フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、/CS, /WE=로우레벨, /RAS, /CAS=하イレ벨によって指示される。

【0060】(8) 노オペ레이션コマンド(Nop)  
これは実質的な動作を行わないことを指示するコマンドであり、/CS=로우레벨, /RAS, /CAS, /WEのハイレベルによって指示される。

【0061】SDRAMにおいては、一方のメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。例えば、SDRAMは外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。或は、ロウアドレスストローブ・バンクアクティブコマンドサイクルによって選択されたメモリブロックにおけるワード線1本分のデータがカラム系動作の時に予め読み出し動作のために四捨五入ラッチ回路にラッチされるようになっている。

【0062】したがって、データ入出力端子I/O0~I/O15においてデータが衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対する프리차ージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

【0063】SDRAM22は、クロック信号CLK(内部クロック信号)に同期してデータ、アドレス、制御信号を入出力できるため、DRAMと同様の大容量メモリをSRAMに匹敵する高速動作させることが可能であり、また、選択された1本のワード線に対して複数のデータをアクセスするのをバーストレンジによって指定することによって、内蔵カラムアドレスカウンタ207で順次カラム系の選択状態を切り換えていく被動側のデータを連続的にリード又はライトできることが理解される。

【0064】図9には、この発明に係るSDRAMのリードサイクルの一例を説明するためのタイミング図が示されている。/CSと/RASのロウレベルより、ロウアドレスR: aが取り込まれる。また、アドレスA11(バンクセレクトBS)のロウレベルにより、バンク0がアクティブにされてバンク0に対してロウ系のアドレス選択動作が開始される。3クロック後に、/CASがロウレベルにされて、カラムアドレスC: aが取り込まれてカラム系の選択動作が開始される。

【0065】CASレイテンシが3にされてるとすると、3クロック後に出力信号aが出力される。バーストリードが指定されているなら、以後クロックに同期してデータa+1, a+2, a+3が順次に出力される。このような読み出し動作と平行して、アクティブバンク0の指定と、それに対応したロウアドレスR: bと、それから3クロック遅れてカラムアドレスC: bが入力される。これにより、3クロック後にデータb, b+1, b+2, b+3が順次に読み出される。

【0066】リードバンク-1を指定してカラムアドレスC: b'を入力すると、引き続いてそれより3クロック遅れてデータb'とb'+1が出力される。2クロック後に、リードバンク-1を指定してカラムアドレスC: b''を入力するとb'がb''に置き換えられるのでそれより3クロック遅れてデータb''とb''+1, b''+2, b''+3が出力される。

【0067】図10には、この発明に係るSDRAMのライトサイクルの一例を説明するためのタイミング図が示されている。/CSと/RASのロウレベルより、ロウアドレスR: aが取り込まれる。また、アドレスA11(バンクセレクトBS)のロウレベルにより、バンク0がアクティブにされてバンク0に対してロウ系のアドレス選択動作が開始される。3クロック後に、/CASがロウレベルにされて、カラムアドレスC: aが取り込まれてカラム系の選択動作が開始され、それと同時に入力された書き込み信号aが選択されたメモリセルに書き込まれ、以下バーストライトに対応してカラムアドレスが更新されて、データa+1, a+2, a+3がクロックに同期して書き込まれる。

【0068】このようなバースト書き込み動作と平行し

て、アクティブバンク-1の指定と、それに対応したロウアドレスR:bと、それからクロック遅れてカラムアドレスC:bが入力され、書き込みデータbが書き込まれる。以下、上記同様にb+1, b+2, b+3がクロックに同期して順次に書き込まれる。以下、ライトバンク-1を指定してカラムアドレスC:b'を入力し、書き込みデータb'とb'+1を入力し、リードバンク-1を指定してカラムアドレスC:b'を入力すると、カラムアドレスがb'からb''に書き換えられるので、それに対応したデータb'とb'+1, b'+2, b'+3が順次に書き込まれる。

【0069】上記の実施例から得られる作用効果は、下記の通りである。

(1) 外部端子から入力されたクロックを遅延させて取り込む入力回路と、かかる入力回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通したパルスと各論理ゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理ゲートのゲート制御信号として伝えるミラー制御回路と、上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイ及びそれを出力させるドライバとを含む同期パルス発生回路において、上記入力回路に入カパルスのパルス幅デューティを小さくさせたパルスを発生させるパルス発生回路を設けることにより、同期可能な外部クロックの周波数帯域を広くすることができるという効果が得られる。

【0070】(2) 外部端子から入力されたクロックを遅延させて取り込む入力回路と、かかる入力回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通したパルスと各論理ゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理ゲートのゲート制御信号として伝えるミラー制御回路と、上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイ及びそれを出力させるドライバとを含む同期パルス発生回路において、パルス発生回路を設けて上記ミラー制御回路に入カパルスのパルス幅デューティを外部クロックに比べて小さくさせることにより、同期可能な外部クロックの周波数帯域を広くすることができるという効果が得られる。

【0071】(3) 上記入力回路又は上記第1及び第

2の入力回路には、フォワード・ディレイ・アレイからミラー制御回路を通してバックワード・ディレイ・アレイにパルスエッジが伝えられる遅延時間に関する遅延時間を持つ遅延回路を挿入することにより同期精度を高くすることができるという効果が得られる。

【0072】(4) 上記同期パルス発生回路をシンクロナスダイナミック型RAMに搭載することにより、その動作速度をいっそう速くすることができるという効果が得られる。

【0073】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本発明は特記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、入力パルスと内部パルスとの同期化は、パルスの立ち上がりエッジを同期させるようにするものであってもよい。基本遅延単位は、実質的に論理ゲート動作を行うものであってもよい。この発明に係る同期パルス発生回路は、シンクロナスDRAMの他、外部から入力されたクロック信号と同期した内部クロック信号を必要とする各種半導体集積回路装置に広く利用できる。

【0074】

〔発明の効果〕本明において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、外部端子から入力されたクロックを遅延させて取り込む入力回路と、かかる入力回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理ゲート回路からなるフォワード・ディレイ・アレイと、上記入力回路を通したパルスと各論理ゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理ゲートのゲート制御信号として伝えるミラー制御回路と、上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理ゲート回路からなるバックワード・ディレイ・アレイ及びそれを出力させるドライバとを含む同期パルス発生回路において、上記入力回路に入カパルスのパルス幅デューティを小さくさせたパルスを発生させるパルス発生回路を設けることにより、同期可能な外部クロックの周波数帯域を広くすることができる。

【図1】この発明に係るシンクロナス・ミラー・ディレイ回路の原理的構成(パルス発生回路)の一実施例を示す回路図である。

【図2】図1のシンクロナス・ミラー・ディレイ回路を説明するための動作波形図である。

【図3】図1の回路の同期可能な外部クロック周波数帯域を示す特性図である。

【図4】この発明に係るシンクロナス・ミラー・ディレイ

이 회로의 다른 실시예를 나타내는 회로도이다.

[도 5] 도 4의 싱크로너스·미러·딜레이 회로를 설명하기 위한 동작파형도이다.

[도 6] 도 4의 회로의 동기 가능한 외부 클럭 주파수 대역폭을 나타내는 특성도이다.

[도 7] 이 발명이 적용되는 싱크로너스 다이믹 타입 RAM의 실시예를 나타내는 블록도이다.

[도 8] 도 7의 싱크로너스 DRAM의 실시예를 나타내는 전체 블록도이다.

[도 9] 이 발명에 따른 싱크로너스 DRAM의 리드 사이클의 예를 설명하기 위한 타이밍도이다.

[도 10] 이 발명에 따른 싱크로너스 DRAM의 라이트 사이클의 예를 설명하기 위한 타이밍도이다.

[도 11] 본 발명에 앞서 채택된 싱크로너스·미러·딜레이 회로의 회로도이다.

[도 12] 도 11의 회로 동작을 설명하기 위한 동작파형도이다.

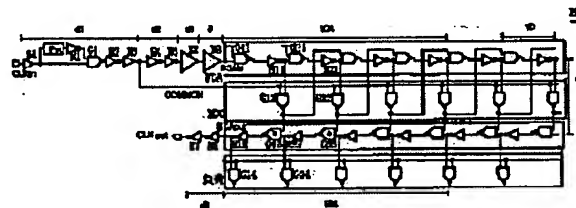
[도 13] 본 발명에 앞서 채택된 싱크로너스·미러·딜레이 회로 일부 회로도이다.

[도 14] 도 11의 회로의 동기 가능한 외부 클럭 주파수 대역폭을 나타내는 특성도이다.

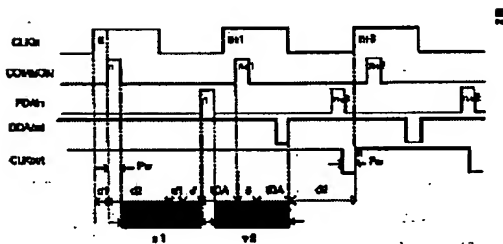
[기호의 설명]

B 1 ~ B 3 ... 버퍼 회로, N 1 ~ N 5, N 11 ~ N 22 ... 인버터 회로, G 1, G 11 ~ G 24 ... 나노 게이트 회로, F D A ... 포워드·딜레이·아레이, M C C ... 미러·제어 회로, B D A ... 백워드·딜레이·아레이, 1 ... 클럭 입력 버퍼, 2 ... 주소 입력 버퍼, 3 ... 데이터 입력 버퍼, 4 ... 데이터 출력 버퍼, 5 ... 모드 디코더, 6 ... 라스 컨트롤 회로, 7 ... 로우 주소 카운터, 8 ... 카ラム 주소 카운터, 9 ... 뱅크 컨트롤 회로, 10 ... 로우 주소 프리 디코더, 11 ... 로우 어레이 회로, 12 ... 카ラム 주소 프리 디코더, 13 ... 카ラム 어레이 회로, 22 ... SDRAM, 30 ... 모드 레지스터, 200 A, 200 B ... 메모리 아레이, 201 A, 201 B ... 로우 디코더, 202 A, 202 B ... 센스 앰프 및 카ラム 선택 회로, 203 A, 203 B ... 카ラム 디코더, 205 ... 카ラム 주소 버퍼, 206 ... 로우 주소 버퍼, 207 ... 카ラム 주소 카운터, 208 ... 리프레시 카운터, 210 ... 입력 버퍼, 211 ... 출력 버퍼, 212 ... 컨트롤러.

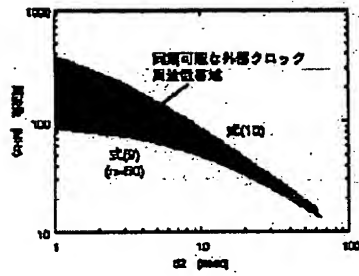
[도 11]



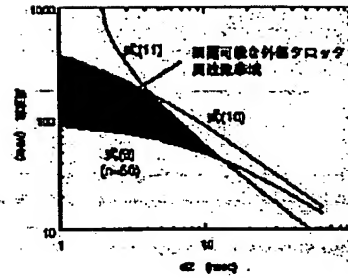
[도 12]



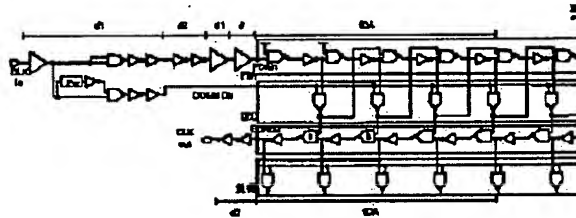
【圖 3】



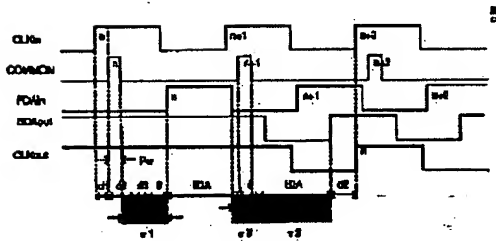
【圖 4】



【圖 5】

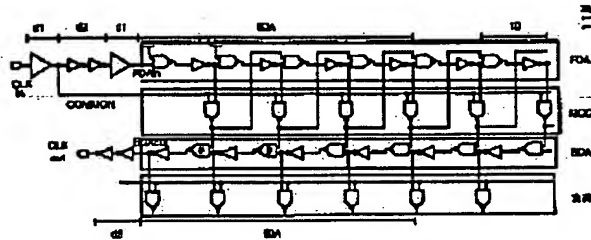


【圖 6】

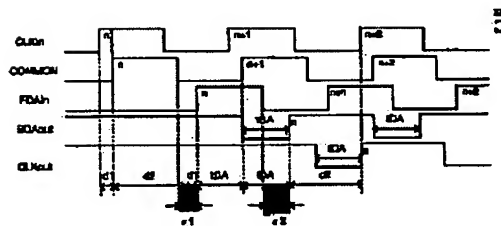




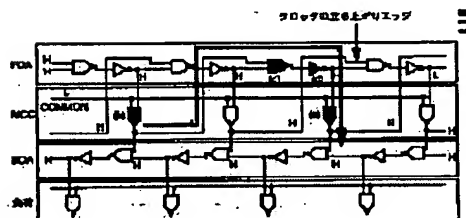
[圖 1 1]



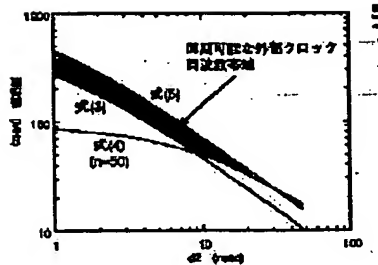
[圖 1 2]



[圖 1 3]



[圖 14]



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

G 1 1 C 11/24

3526



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**